



AK2306/2306LV

ISDN/VoIPターミナルアダプタ用 2チャンネル PCMコーデック LSI

概要

AK2306は、ISDNターミナルアダプタ(TA)に適した2チャンネルPCMコーデックです。欧州を中心とする地域で用いられるA-Law圧伸則と北米・日本で用いられる μ -law圧伸則とをレジスタで選択可能です。

帯域制限フィルタ、A/D及びD/A変換器、A-law/ μ -law変換器を各々2ch内蔵しており、また1chのリングトーンジェネレータ(16Hz,20Hz)を備え、実装スペース、実装工数及び消費電力の削減に最適です。

PCMデータ転送レートは64kのN倍(128k-4.096MHz)での設定が可能です。転送クロック(BCLK)入力周波数を調整することにより様々なシステムに対応することができます。

チャンネル毎に、レジスタ設定による+6~-18dB/1.0dBステップのゲイン設定が行えます。また同じレジスタ設定によりチャンネルごとのミュート、パワーダウン設定も可能です。

AK2306とAK2306LVは、それぞれ動作電源電圧が5.0Vと3.3Vのピンコンパチ品です。

特長

- 2チャンネル・PCMコーデック/フィルタ内蔵
- RINGER TONE発生回路(16Hz/20Hz)内蔵
- チャンネル毎に設定可能な機能
 - ・パワーダウン(レジスタ設定)
 - ・ミュート(レジスタ設定)
 - ・ゲイン調整+6~-18dB(レジスタ設定 1.0dB step)
- PCMデータインタフェース
 - LongFrame/ShortFrame/GCI に対応
- PCMデータ転送レート
 - 64kHzのN倍の周波数(128k-4.096MHz)で設定可能
- 入出力ゲイン調整用オペアンプ内蔵
- A-law, μ -lawの圧伸則選択機能(レジスタ設定)
- シリアルインタフェース
- パワーオンリセット内蔵
- +5V \pm 5%単一電源(AK2306)
- +3.3 \pm 0.3V単一電源(AK2306LV)
- 低消費電力
- 小型パッケージ

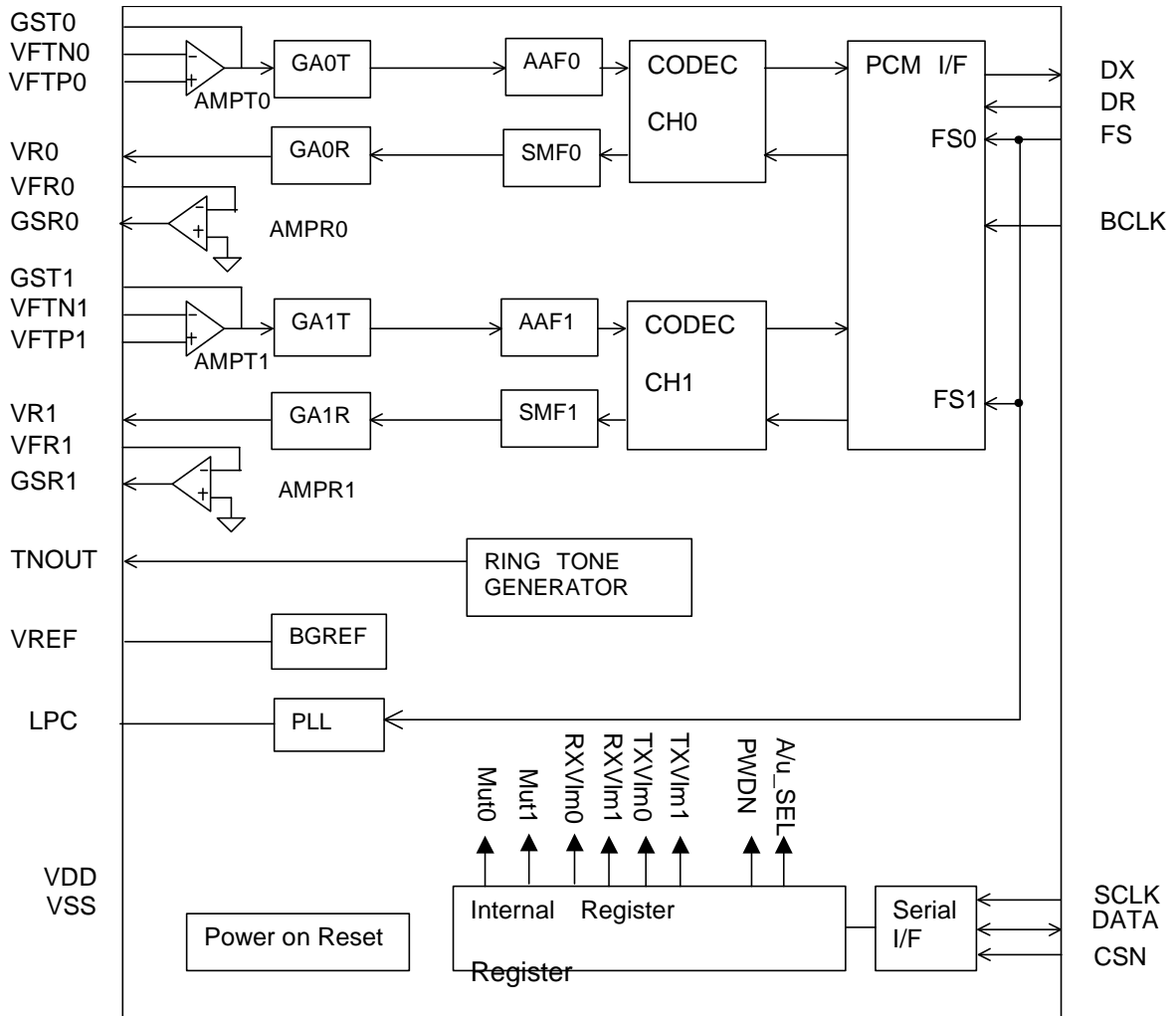
パッケージ

- 24ピンSSOP
- ・ピン端 8.2*7.9mm
- ・ピンピッチ 0.65mm

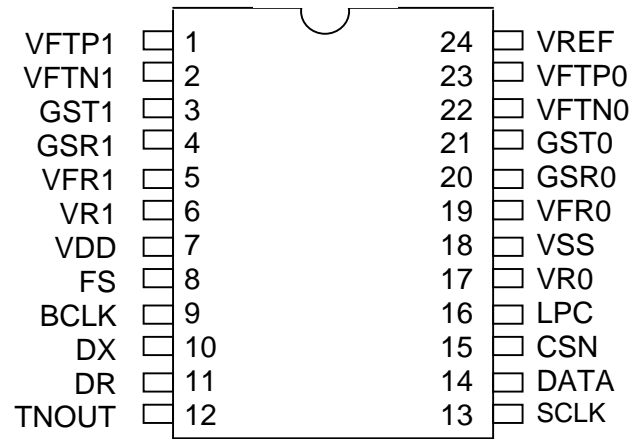
目 次

項 目	頁
- ブロック図.....	3
- パッケージ・ピン配置.....	4
- 端子条件.....	5
- 端子機能.....	6
- 回路構成.....	8
- 機能説明.....	9
- PCMインタフェース.....	9
- LongFrame/ShortFrame/GCI.....	10
- ミュート.....	12
- ゲイン調整.....	13
- リングートーン発生器.....	14
- リセット.....	15
- パワーダウン.....	16
- シリアルインタフェース.....	18
- レジスタ.....	21
- 絶対最大定格.....	23
- 推奨動作条件.....	23
- 電気的特性.....	23
- 推奨外部回路例.....	32
- パッケージ.....	34

ブロック図



パッケージ・ピン配置



端子条件

端子番号	端子名	I/O	端子タイプ	最大AC負荷	最小DC負荷	パワーダウン時出力状態	備考
1	VFTP1	I	Analog				
2	VFTN1	I	Analog				
3	GST1	O	Analog	50pF	10k Ω (*1)	Hi-Z	
4	GSR1	O	Analog	50pF	10k Ω (*1)	Hi-Z	
5	VFR1	I	Analog				
6	VR1	O	Analog	50pF	10k Ω	Hi-Z	
7	VDD	-					
8	FS	I	CMOS/TTL(*2)				
9	BCLK	I	CMOS/TTL(*2)				
10	DX	O	CMOS	15pF		Hi-Z	
11	DR	I	CMOS/TTL(*2)				
12	TNOUT	O	CMOS	15pF		L	
13	SCLK	I	CMOS/TTL(*2)				
14	DATA	I/O	CMOS/TTL(*2)	15pF		Input	
15	CSN	I	CMOS/TTL(*2)				
16	LPC	O	Analog				外付容量 0.22uF
17	VR0	O	Analog	50pF	10k Ω	Hi-Z	
18	VSS	-					
19	VFR0	I	Analog				
20	GSR0	O	Analog	50pF	10k Ω (*1)	Hi-Z	
21	GST0	O	Analog	50pF	10k Ω (*1)	Hi-Z	
22	VFTN0	I	Analog				
23	VFTP0	I	Analog				
24	VREF	O	Analog				外付容量 1.0uF以上

*1)最小DC負荷は帰還抵抗値の値です。

*2)AK2306はTTL level Interface/ AK2306LVは CMOS level Interface

端子機能

端子番号	端子名称	I/O	機 能
1	VFTP1	I	CH1 入力ゲイン調整用オペアンプの正転差動入力。 VFTN1端子と外部抵抗で、差動またはシングルエンド入力アンプを構成しゲイン調整を行います。
2	VFTN1	I	CH1 入力ゲイン調整用オペアンプの反転差動入力。 VFTP1端子と外部抵抗で、差動またはシングルエンド入力アンプを構成しゲイン調整を行います。
3	GST1	O	CH1 入力ゲイン調整用オペアンプの出力。 外部抵抗で差動入力アンプを構成しゲイン調整を行います。
4	GSR1	O	CH1 出力ゲイン調整用オペアンプの出力。 外部抵抗で反転アンプを構成しゲイン調整を行います。
5	VFR1	I	CH1 出力ゲイン調整用オペアンプの反転入力。 外部抵抗で反転アンプを構成しゲイン調整を行います。ただし入力ゲインオペアンプを差動アンプとして構成する場合、このオペアンプを差動アンプのアナログGND用のバッファとして使用してください。この場合、このアンプを用いた出力ゲイン調整は出来ません。
6	VR1	O	CH1 アナログ出力。 B2のPCMデータをアナログ信号に変換した出力です。(SEL2B=0時)
7	VDD	-	正電源端子。
8	FS	I	PCMデータ送受同期信号入力。 PCMデータ入出力タイミングを制御します。BCLKと同期した8kHzの信号を入力して下さい。全パワーダウン時以外は常に入力して下さい。
9	BCLK	I	PCMデータ転送レート制御クロック入力。 64kのN倍 (N=2~64) = 128k~4096kHzのクロックを入力します。 全パワーダウン時以外は常に入力して下さい。
10	DX	O	PCMデータ出力端子。 CH0,CH1のPCMデータを多重化して出力します。データ転送レートはBCLKで設定されます。詳細はPCMインタフェースの項目 (Page.9~)を参照して下さい。この端子は送信データが存在する16ビット期間以外は、ハイインピーダンスとなります。
11	DR	I	PCMデータの入力端子。 CH0,CH1のPCMデータを多重化して入力します。データ転送レートはBCLKで設定されます。詳細はPCMインタフェースの項目 (Page.9~)を参照して下さい。
12	TNOUT	O	16Hz/20Hzトーン出力端子。 レジスタで選択します。
13	SCLK	I	シリアルインタフェースのクロック入力端子。
14	DATA	I/O	シリアルインタフェースのデータ入出力端子。
15	CSN	I	シリアルインタフェースのチップセレクト入力端子。
16	LPC	O	PLLのループフィルタ用端子。 0.22 uF以上の容量を外付して下さい。
17	VR0	O	CH0 アナログ出力。 B1のPCMデータをアナログ信号に変換した出力です。(SEL2B=0時)
18	VSS	-	負電源端子。

端子番号	端子名称	I/O	機 能
19	VFR0	I	CH0 出力ゲイン調整用オペアンプの反転入力。 外部抵抗で反転アンプを構成しゲイン調整を行います。ただし入力ゲインオペアンプを差動アンプとして構成する場合、このオペアンプを差動アンプのアナログGND用のバッファとして使用してください。その場合、このアンプを用いた出力ゲイン調整は出来ません。
20	GSR0	O	CH0 出力ゲイン調整用オペアンプの出力。 外部抵抗で反転アンプを構成しゲイン調整を行います。
21	GST0	O	CH0 入力ゲイン調整用オペアンプの出力。 外部抵抗で差動入力アンプを構成しゲイン調整を行います。
22	VFTN0	I	CH0 入力ゲイン調整用オペアンプの反転差動入力。 VFTP0端子と外部抵抗で差動入力アンプを構成しゲイン調整を行います。
23	VFTP0	I	CH0 入力ゲイン調整用オペアンプの正転差動入力。 VFTN0端子と外部抵抗で差動入力アンプを構成しゲイン調整を行います。
24	VREF	O	アナロググランド電源出力端子。 1.0 uF以上の容量を外付して下さい。

回路構成

ブロック	機能	備考
AMPT0,1	送信用システム0dB（伝送0レベルポイント）のゲイン調整用オペアンプです。外付けの抵抗で差動もしくはシングルエンドのゲインアンプを構成します。ただし、帰還抵抗は10kΩ以上です。各端子の構成は次のようになっています。 VFTP _x ：オペアンプ正転入力 VFTN _x ：オペアンプ反転入力 GST _x ：オペアンプ出力	
AMPR0,1	受信用システム0dB（伝送0レベルポイント）のゲイン調整用オペアンプです。通常、反転アンプとして使用し、外付けの抵抗でゲインアンプを構成します。ただし、帰還抵抗は10kΩ以上です。各端子の構成は次のようになっています。 VFR _x ：オペアンプ反転入力 GSR _x ：オペアンプ出力 < 注意 >AMPT0,1を差動アンプとして構成する場合、AMPR0,1は差動アンプのアナログGND用のバッファとして使用下さい。この場合、このアンプを使った出力ゲイン調整は出来ません。	
AAF0,1	折り返し雑音防止用フィルタです。2次のRCローパスフィルタで構成されており、A/Dコンバータのサンプリング周波数帯における雑音を除去します。	
CODEC (CH0,CH1) A/D	入力されたアナログ信号を圧伸則に従い8ビットのPCMデータに変換します。圧伸則として、ITU-T G.711に準拠したA-Lawまたはμ-Lawをサポートします。 A-Lawでは偶数ビットの反転もおこないます。 圧伸則の選択は、レジスタALAWNでおこないます。 "H": μ-Law "L": A-Law また、帯域制限用フィルタを内蔵しています。	
CODEC (CH0,CH1) D/A	DR端子より取り込まれた8ビットのPCMデータを圧伸則に従い伸張し再生します。圧伸則として、ITU-T G.711に準拠したA-Lawとμ-Lawをサポートします。 A-Lawでは偶数ビットの反転もおこないます。 圧伸則の選択は、レジスタALAWNでおこないます。 "H": μ-Law "L": A-Law	
SMF0,1	D/Aコンバータの出力から帯域内の周波数成分を取り出すためのフィルタです。	
BGREF	温度補償されたバンドギャップ電圧発生器により、安定なアナロググランド電圧を供給します。(2.4V@5V時/ 1.5V@3.3V時) 安定化の為、1.0 uFの容量を接続下さい。	
RINGER TONE _GEN	16Hz,20Hzのリングートーンを発生する回路です。トーンの選択とON/OFFはレジスタで行います。	
GA0T GAOR GA1T GAOR GATN	信号レベルを変更する回路です。+6~-18dB（1dBstep、25段階）のゲイン調整が可能です。ゲイン設定はレジスタで行います。	
SERIAL I/F	内部レジスタへのデータ入力を行います。1ワード=16bit。 構成は命令コード4bit、アドレス3bit、ダミー1bit、データ8bitとなっています。 SCLK,DATA, CS端子で制御します。	
PLL	8KHzのフレーム同期信号FSから、内部動作に必要な所定のクロック周波数を発生します。ループフィルタ用の外付容量（0.22 uF以上）をLPC端子に接続します（対VSS）。	
PCM I/F	BCLKで定められるデータレート(128k~4096Mbps:Nx64kHz)でPCMデータを入力出力します。PCMインタフェースにはLongFrame,ShortFrame,GCIの3つのモードがあります。モード設定はレジスタPCMIFで行います。 PCMIF = "L" LongFrame or Short Frame PCMIF = "H" GCI LF,SFは内部回路で自動判定します。PCMデータは2チャンネル分が多重化されDX,DR端子から入出力されます。	

■ PCMインタフェース

AK2306は以下の3つのPCMデータインタフェースをサポートしています。

- Long Frame Sync(LF)
- Short Frame Sync(SF)
- GCI

各チャンネルのPCMデータは多重化され共通の端子(DR,DX)から順次入出力されます。いずれの場合もデータはMSBファーストで入出力されます。PCMデータストリーム上、最初の8bitがB1チャンネル、次の8bitがB2チャンネルです。

◆PCMインターフェースの選択

Long Frame/Short Frame またはGCIのどちらか一方を選択します。以下を参照してPCMIFレジスタを設定して下さい。

PCMインタフェース選択レジスタ(アドレス:101 Bit:0)

PCMIF	PCMインタフェース	備考
0	LF or SF	LF/SFはFS信号で自動判定 (次ページ参照)
1	GCI	

* レジスタ初期化時はLF/SFモード(PCMIF=0)が選択されます。

● LONG FRAME (LF) / SHORT FRAME (SF)

◆LF/SFの判定方法

AK2306は入力されたFSの"H"期間によりLong Frame, Short Frameかを自動的に判断します。

FS="H"の期間	フレーム構成
BCLKの2周期以上	LF
BCLKの1周期	SF

◆インタフェースタイミング

各チャンネルのPCMデータは、フレーム同期信号FSに同期して、1フレーム区間(125 μ s)毎にそれぞれ8ビットずつDX,DR端子より入出力されます。1フレーム区間には最大64個のタイムスロット(BCLK=4.096MHz時)があります。タイムスロット数=BCLK/64kです。CH0,CH1のタイムスロットは同期信号FSから決められた位置で入出力されます。

◆フレーム同期信号(Frame Sync:FS)

8kHzの基準入力信号です。1フレーム(125 μ s)毎に8ビットのPCMデータが入出力されます。BCLKと同期していることが必要です。FSはPLLの入力となり、これをもとに内部の動作クロックが生成されます。

◆BCLK

PCMデータレートを定めます。128kHz～4.096MHzの範囲の 64KHz x N (N=2～64) のレートに対応できます。

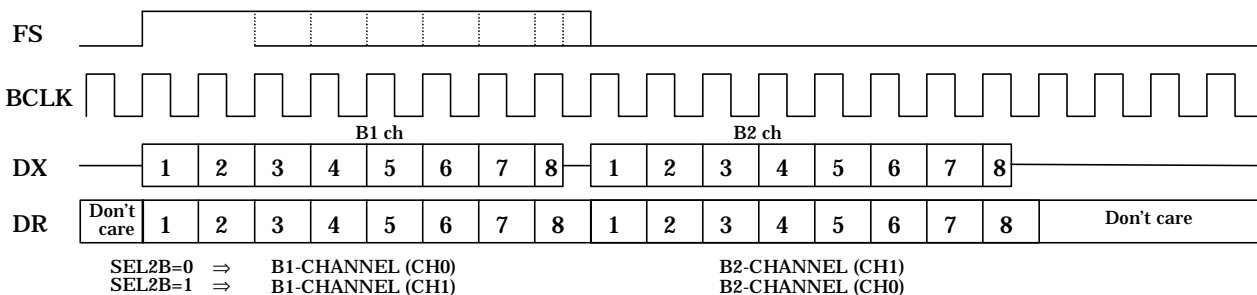
◆PCMデータ入出力チャンネル(B1 or B2)の指定

CH0,CH1のPCMデータをB1,B2チャンネルのどちらのタイミングで入出力するか指定します。以下を参照してSEL2Bレジスタを設定して下さい。

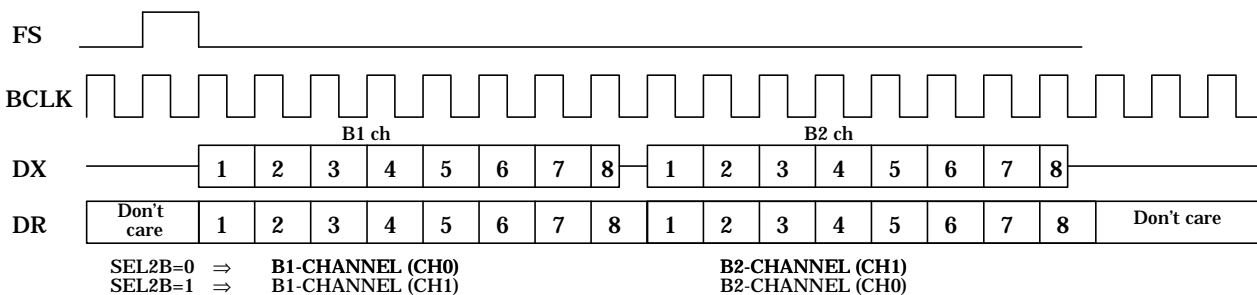
CH0,CH1入出力チャンネル選択(アドレス:101 Bit:1)

SEL2B	CH0	CH1	備考
0	B1	B2	初期値
1	B2	B1	

LongFrame



ShortFrame



！注意事項 <重要>

全パワーダウン時以外はFSとBCLKを停止しないで下さい。

FSとBCLKのどちらかを停止するとAK2306のPLLは自走周波数で動作します。
 この場合、AK2306のRing Tone Generatorの性能は保証されません。

● **GCI (General Circuit Interface)**

◆**インタフェースタイミング**

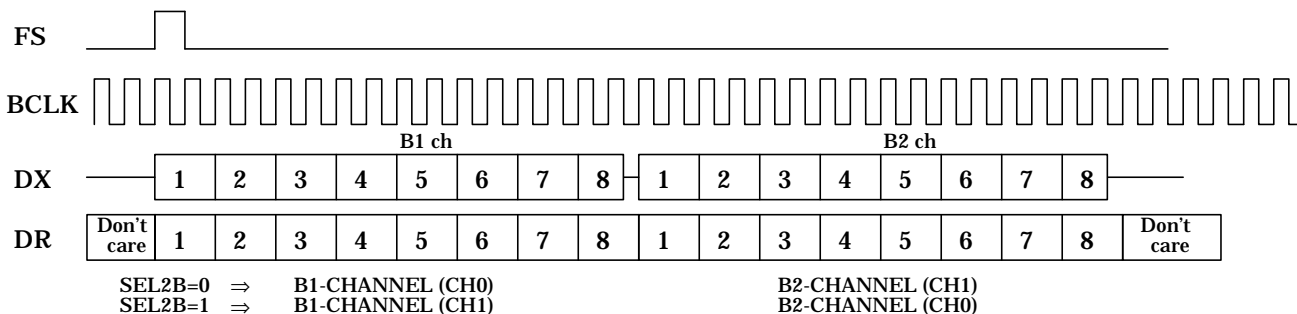
各チャンネルのPCMデータは、フレーム同期信号FSに同期して、1フレーム区間(125 μs)毎にそれぞれ8ビットずつDX,DR端子より入出力されます。

◆**フレーム同期信号(Frame Sync:FS)**

8kHzの基準入力信号です。1フレーム(125us毎)に8ビットのPCMデータが入出力されます。BCLKと同期していることが必要です。FSはPLLの入力となり、これをもとに内部の動作クロックが生成されます。

◆**BCLK**

BCLKの周波数はPCMデータレートの2倍です。入力周波数範囲は512kHz～4096kHzです。



◆**PCMデータ入出力チャンネル(B1 or B2)の指定**

CH0,CH1のPCMデータをB1,B2チャンネルのどちらのタイミングで入出力するか指定します。以下を参照してSEL2Bレジスタを設定して下さい。

CH0,CH1入出力チャンネル選択(アドレス:101 Bit:1)

SEL2B	CH0	CH1	備考
0	B1	B2	初期値
1	B2	B1	

！注意事項 <重要>

全パワーダウン時以外はFSとBCLKを停止しないで下さい。

FSとBCLKのどちらかを停止するとAK2306のPLLは自走周波数で動作します。

この場合、AK2306のRing Tone Generatorの性能は保証されません。

■ミュート

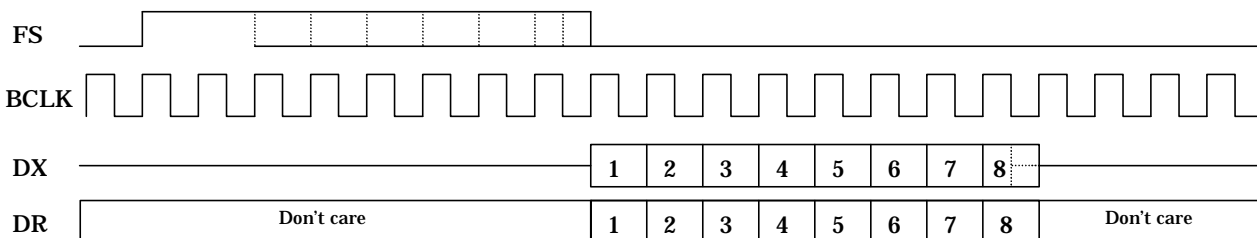
各チャンネル独立にPCM出力をミュートすることが可能です。
以下を参照してMTCH0,MTCH1レジスタを設定して下さい。

ミュートレジスタの設定 (Address: 100 Bit: 5,4)

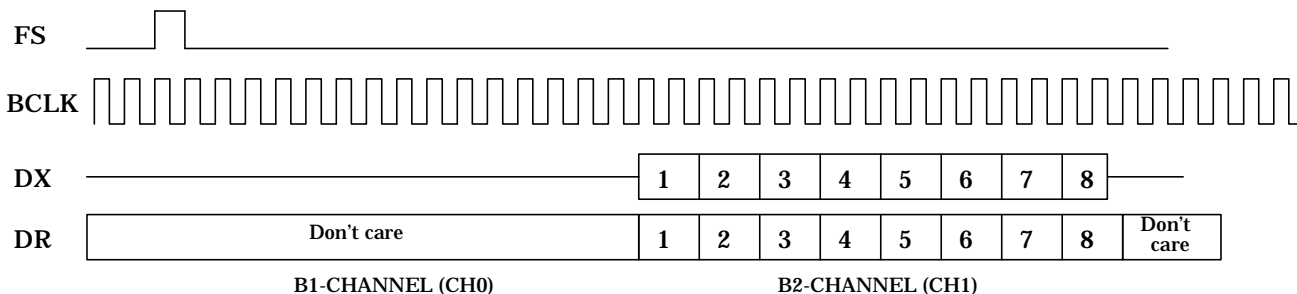
MTCH0,1	動作	DX端子	VRX0, VRX1端子	備考
0	信号出力	PCMデータ出力	CODECアナログ出力	初期値
1	ミュート	High-Impedance	アナロググランド	

◆動作例

LFモード CH0ミュート (MTCH0 = "1", MTCH1= "0")



GCIモード CH0ミュート (MTCH0 = "1", MTCH1= "0")



VRX0 : CODEC CH0 のアナログ出力は常にアナロググランドレベルです。

VRX1 : CODEC CH1 のアナログ出力は DR 端子から入力された CH1 の PCM データに応じたレベルです。

■ゲイン調整

ボリュームGA0T,GA0R,GA1T,GA1Rのゲインは、各ボリュームに対応するレジスタで設定可能です。
調整範囲は+6~-18dB（1.0dBstep、25段階）です。

ボリューム設定レジスタ (Address: 011~000, Bit: 4~0)

GanT4 GanR4	GanT3 GanR3	GAnT2 GAnR2	GAnT1 GAnR1	GAnT0 GAnR0	ゲイン [dB]	備考
0	0	0	0	0	+6	
0	0	0	0	1	+5	
0	0	0	1	0	+4	
0	0	0	1	1	+3	
0	0	1	0	0	+2	
0	0	1	0	1	+1	
0	0	1	1	0	0	初期値
0	0	1	1	1	-1	
0	1	0	0	0	-2	
0	1	0	0	1	-3	
0	1	0	1	0	-4	
0	1	0	1	1	-5	
0	1	1	0	0	-6	
0	1	1	0	1	-7	
0	1	1	1	0	-8	
0	1	1	1	1	-9	
1	0	0	0	0	-10	
1	0	0	0	1	-11	
1	0	0	1	0	-12	
1	0	0	1	1	-13	
1	0	1	0	0	-14	
1	0	1	0	1	-15	
1	0	1	1	0	-16	
1	0	1	1	1	-17	
1	1	---	---	---	-18	

■リンガートーン発生器

16Hz, 20Hzのトーンを発生する回路です。トーン周波数はレジスタで選択します。

◆トーン周波数の選択

出力するトーン周波数をTNFQレジスタで選択します。

トーン周波数選択レジスタ (Address: 101, Bit: 3)

TNFQ	発生トーン	備考
0	16Hz	初期値
1	20Hz	

◆トーンの送出／停止

トーンの送出／停止はレジスタ設定で行います。

RING TONEGENレジスタ (Address: 100, Bit: 2)

PDTN	RING TONEGEN回路の状態	備考
1	パワーダウン*	初期値
0	トーン送出	常時出力

*) パワーダウン時、TNOUT端子はLowレベルとなります。

■リセット

◆パワーオンリセット

AK2306は電源投入時に内部リセットパルスが発生し、全ての回路がリセットされます。内部レジスタは初期値に設定されます。

リセット終了後、CODEC CH0/CH1の回路は、FSの入力開始と共に初期化が開始されます。パワーオンリセット～初期化終了までに要する時間は**150ms (typ)** ,**330ms(max)**です。

※ 内部リセットパルス発生期間は20ms (typ), 200ms (max) です。

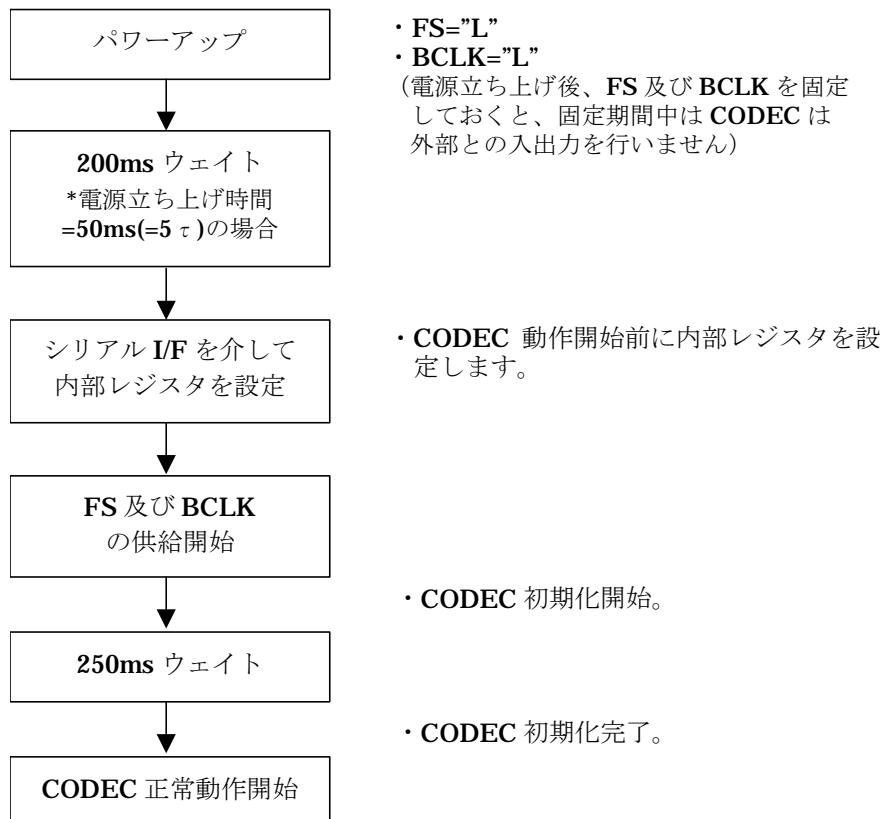
◆パワーオンリセットを有効とするための電源立ち上げ時間

電源立ち上げ時間が**50ms(=5 τ)**以内であれば、パワーオンリセットは確実に動作します。

電源立ち上げ時間が**50ms**より大きくなる場合は、パワーオンリセットが実行されません。この場合、レジスタは初期化されません。全てのレジスタに設定したい値を書き込んでから、動作を開始してください。

◆パワーオン時の推奨動作手順

電源立ち上げ後AK2306を動作させる際、以下の様な手順で動作を開始されることを推奨致します。



■パワーダウン

パワーダウン設定を行うと**AK2306**の消費電力が低減されます。

パワーダウン時は、アナログ回路への電流供給およびデジタル回路へのクロック供給が停止され、該当する回路は動作停止状態となります。

パワーダウンは次の2つの形式があります。

- ・全回路パワーダウン
- ・ブロック別パワーダウン

※ パワーダウン時には、該当するブロックの出力端子はハイインピーダンスとなります (p. 5参照)。

◆パワーダウン設定方法

全回路または一部の回路のパワーダウンはレジスタ設定で行います。

パワーダウンの設定方法と設定時の動作

対象回路	レジスタ	設定値と動作	パワーダウン時動作の注意事項
全回路	PD	"0" : 動作 "1" : パワーダウン	<ul style="list-style-type: none"> ・レジスタは初期化されません。 ・シリアルI/Fは使用可能です。 ・FS, BCLKを供給する必要はありません。
CODEC CH0	PDCH0		<ul style="list-style-type: none"> ・常にFSを入力して下さい (p.10,11参照)。 ・CODEC CHn(n=0,1) をパワーダウンしても、以下の回路は動作しています。
CODEC CH1	PDCH1		<ul style="list-style-type: none"> ①AMP_{Tn}, AMP_{Rn} (n=0,1)入出力 ②RING TONE GEN出力 (詳細は次項の表を参照して下さい)
RING TONEGEN	PDTN		<ul style="list-style-type: none"> ・パワーダウン解除からトーン出力開始までの時間は125usです。

注) PD, PDCHn(n=0,1), PDTNレジスタの初期値は"0"です。

◆パワーダウンからの復帰:CODEC

CODEC CH0/CH1をパワーダウンから復帰する場合、**AK2306**はCODECの初期化を行います。初期化終了までに要する時間は**130ms(typ)**です。

全回路パワーダウンから復帰する場合、**AK2306**はパワーオンシーケンスと同様のCODEC初期化を行います。初期化終了までに要する時間は**250ms(typ)**です。

◆パワーダウン設定とパワーダウンブロック

パワーダウン回路		全BLOCK	CODEC CH0	CODEC CH1	CODEC CH0&1	RING TONEGEN
設定レジスタ		PD	PDCH0	PDCH1	PDCH0 PDCH1	PDTN
Channel 0	AMPT0	OFF				
	GA0T	OFF	OFF		OFF	
	AAF0	OFF	OFF		OFF	
	CODEC CH0	OFF	OFF		OFF	
	SMF0	OFF	OFF		OFF	
	GA0R	OFF				
	AMPR0	OFF				
Channel 1	AMPT1	OFF				
	GA1T	OFF		OFF	OFF	
	AAF1	OFF		OFF	OFF	
	CODEC CH1	OFF		OFF	OFF	
	SMF1	OFF		OFF	OFF	
	GA1R	OFF				
	AMPR1	OFF				
PCM I/F		OFF			OFF	
RING TONEGEN		OFF				OFF
PLL		OFF				
BGREF		OFF				
SERIAL I/F						

■シリアルインタフェース

SCLK,DATA,CSNの3端子を使用して内部レジスタ設定用データの書き込み／読み出しを行います。

1ワードは16ビットで構成です。MSB側から4ビットが制御コードで、書き込み／読み出しを指定します。次の3ビットは内部レジスタのアドレスを指定します。LSB側8ビットがレジスタに設定するデータです。

B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
I3	I2	I1	I0	A2	A1	A0	*	D7	D6	D5	D4	D3	D2	D1	D0
制御コード (4bit)				アドレス (3bit)			*	内部レジスタ設定用データ (8bit)							

*) データ読み出し時のI/O切替タイミング調整用 Dummy Bitです。

◆制御コード

I3	I2	I1	I0	動作内容
1	1	1	0	読み出し
1	1	1	1	書き込み
その他のコード				読み出し／書き込み動作は実行されません。

◆SCLKとデータ書き込み／読み出し動作

- ① DATA端子への入力データは、SCLKの立ち上がりで内部シフトレジスタに取り込まれます。
- ② SCLKの立ち上がりエッジは、CSNの立ち下がり以降の入力エッジからカウントされます。
- ③ CSN="L"の時、16パルス以上のSCLK入力に対し、以下の動作が行われます。
【書き込み】SCLK の16パルス目の立ち上がりで、データは内部レジスタにロードされます。
【読み出し】SCLK の16パルス目の立ち下がりで、DATA端子は入力端子に切り替わります。

◆CSNとデータ書き込みキャンセル／データ読み出し期間

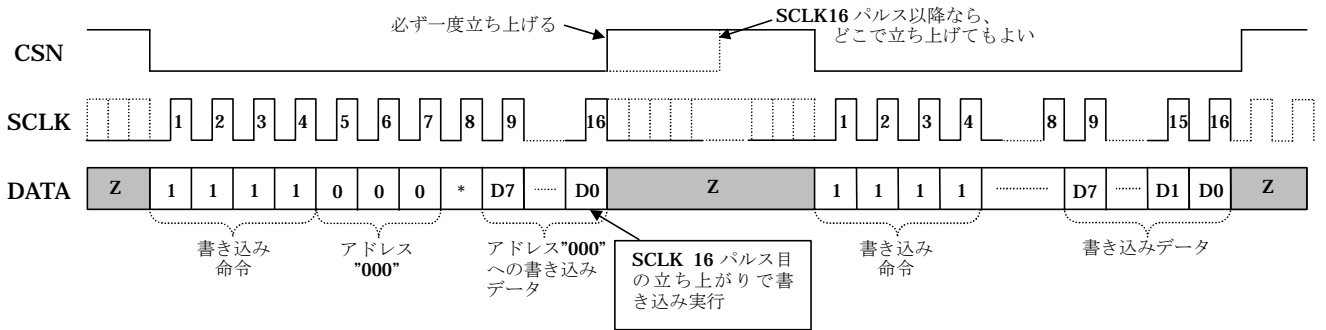
- ① SCLK の16パルス目の立ち上がりより前にCSNを立ち上げると、書き込みはキャンセルされます。
- ② SCLK の16パルス目の立ち下がりより前にCSNを立ち上げると、その時点で読み出しは中止されます。

◆連続したデータ書き込み／読み出し動作（連続アクセス）

- ① 連続アクセス動作を行う際には、次のアクセスの前に、CSNを必ず一度立ち上げて下さい。
- ② CSN="L"のまま、連続アクセスを行った場合、2回目以降のアクセスは無効となります。

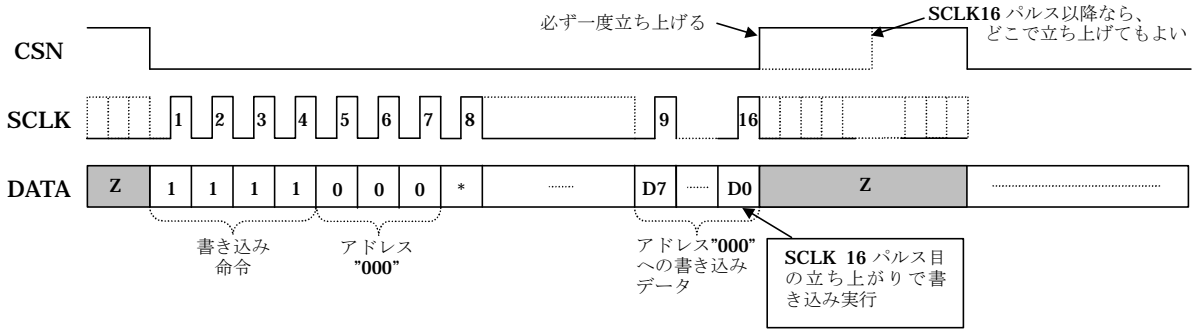
◆データ書き込みタイミング

連続SCLK使用時 連続する16bitのDATAとSCLKでアクセスする方法です

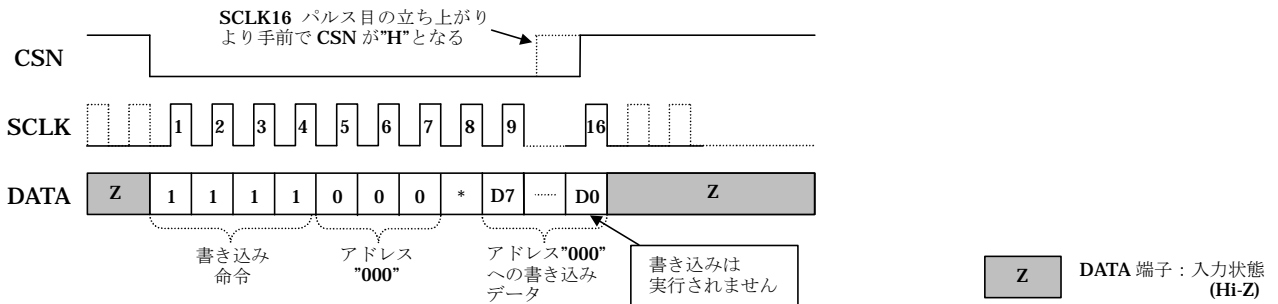


SCLK一時停止時 DATAとSCLKを何回かに分けて書き込む方法です

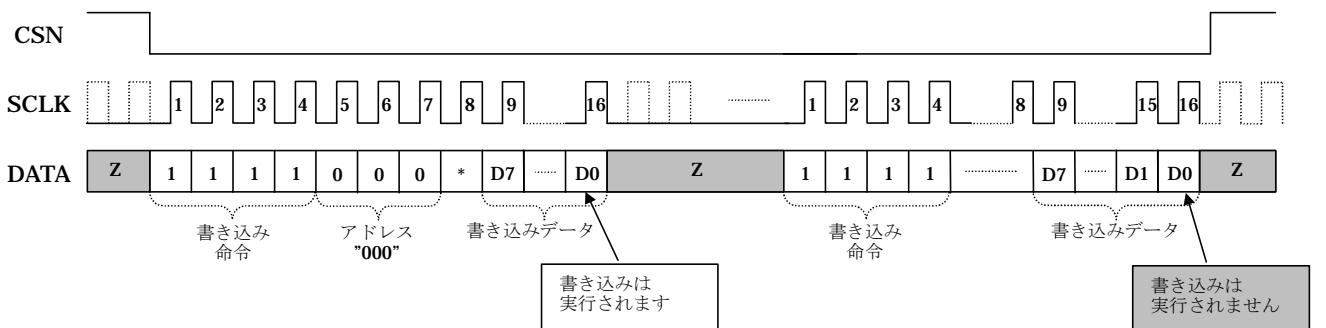
SCLKを一度”H”または”L”で停止しても、再度SCLKの入力を開始すれば、先のデータに続けて書き込みを行うことができます。SCLKを停止する位置は任意です。



書き込みキャンセル

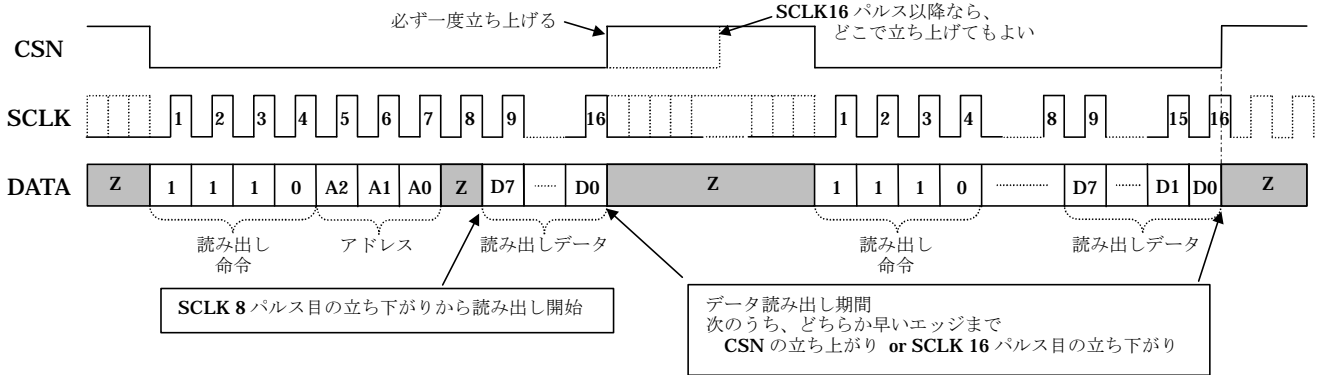


！注意 連続アクセス CSNを”L”のまま続けてアクセスした場合です



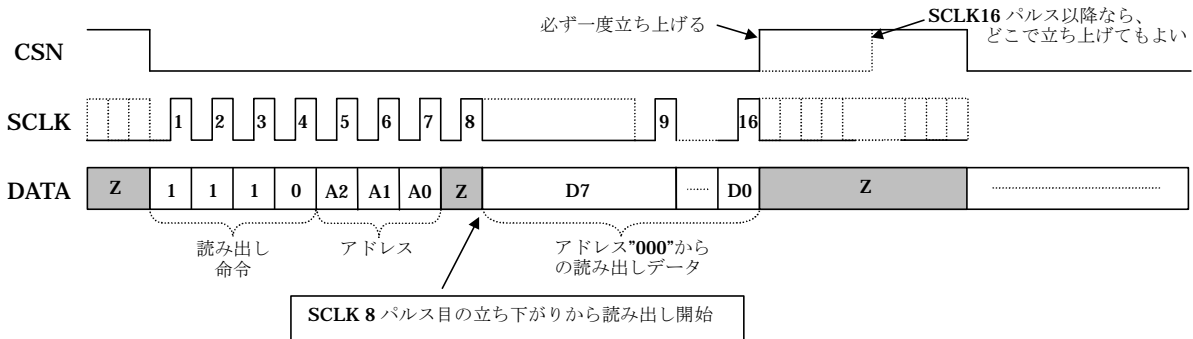
◆データ読み出しタイミング

連続SCLK使用時 連続する16bitのDATAとSCLKでアクセスする方法です

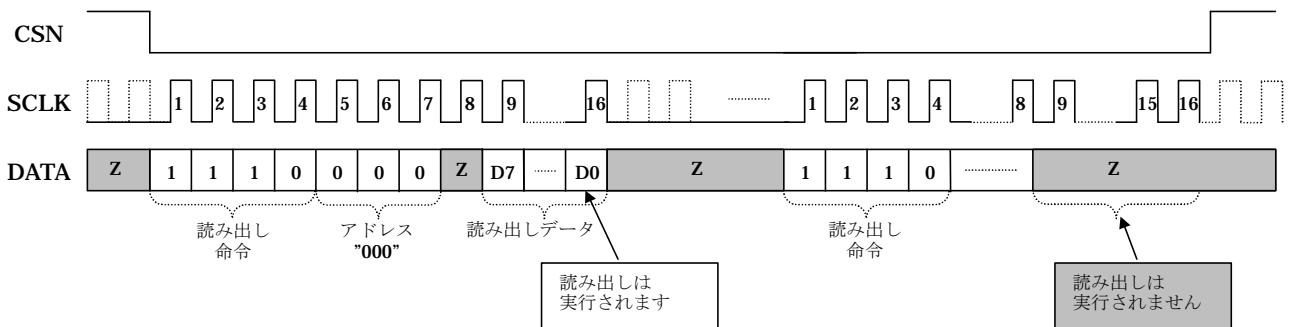


SCLK一時停止時 DATAとSCLKを何回かに分けて読み出す方法です

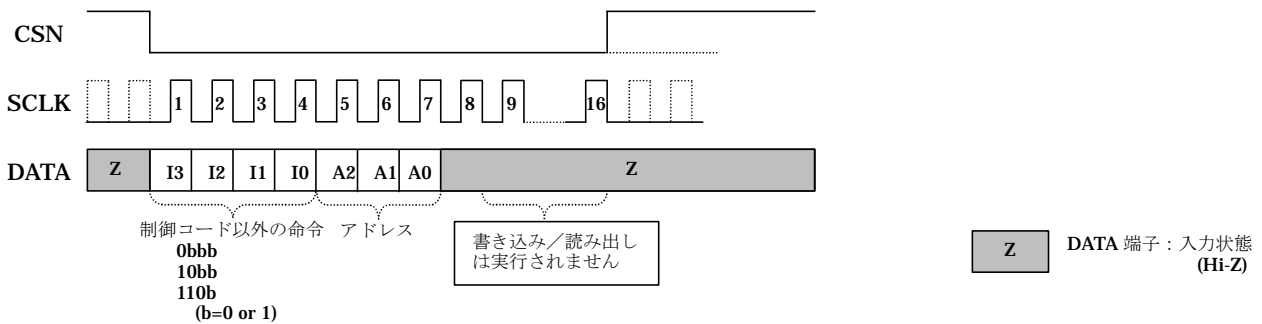
SCLKを一度”H”または”L”で停止しても、再度SCLKの入力を開始すれば、先のデータに続けて読み出しを行うことができます。SCLKを停止する位置は任意です。



！注意 連続アクセス CSNを”L”のまま続けてアクセスした場合です



★注意 制御コードの不一致



レジスタ

◆ レジスタマップ

Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
A2	A1	A0	*	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	*	0	0	-	GA0R4	GA0R3	GA0R2	GA0R1	GA0R0
0	0	1	*	0	0	-	GA1R4	GA1R3	GA1R2	GA1R1	GA1R0
0	1	0	*	0	0	-	GA0T4	GA0T3	GA0T2	GA0T1	GA0T0
0	1	1	*	0	0	-	GA1T4	GA1T3	GA1T2	GA1T1	GA1T0
1	0	0	*	0	0	MTCH1	MTCH0	PD	PDTN	PDCH1	PDCH0
1	0	1	*	0	0	0	0	TNFQ	ALAWN	SEL2B	PCMIF
1	1	0	*	Reserved							
1	1	1	*	Reserved							

*) Dummy Bitです。

注) 全て“書き込み/読み出し”可能です。

注) アドレス=(000~100)のD7,D6 及びアドレス=(101)のD7~D4 ビットは量産テスト用のテストモード起動ビットです。通常動作の為に全ビット="0"を必ず書き込んで下さい。

注) 上記テストモード設定ビットは他のビット同様、書き込んだ値が、読み出し時には読み出されます。

また、アドレス=(000~011)のD5は、書き込みは出来ません。また読み出し時には"0"が出力されます。

◆ レジスタの初期化

パワーオンリセット時にレジスタの初期化を行っていきますが、確実にかけられないことも想定されますので、電源立ち上げ時、電源瞬断など異常状態に陥った後は、必ずテストモード起動ビットを含む全てのレジスタの値を設定して下さい。それ以外ではレジスタの初期化はなされません。

◆ レジスタ機能

アドレス	Bit	レジスタ名	初期値	機能	参照頁
000	0	GA0R0	0	ボリュームGA0Rのゲイン設定	
	1	GA0R1	1		
	2	GA0R2	1		
	3	GA0R3	0		
	4	GA0R4	0		
	5	-			
	6	-			
001	0	GA1R0	0	ボリュームGA1Rのゲイン設定	
	1	GA1R1	1		
	2	GA1R2	1		
	3	GA1R3	0		
	4	GA1R4	0		
	5	-			
	6	-			
010	0	GA0T0	0	ボリュームGA0Tのゲイン設定	
	1	GA0T1	1		
	2	GA0T2	1		
	3	GA0T3	0		
	4	GA0T4	0		

アドレス	Bit	レジスタ名	初期値	機 能	参照頁
	5	-			
	6	-			
	7	-			
011	0	GA1T0	0	ボリュームGA1Tのゲイン設定	
	1	GA1T1	1		
	2	GA1T2	1		
	3	GA1T3	0		
	4	GA1T4	0		
	5	-			
	6	-			
	7	-			
100	0	PDCH0	0	CODEC CH0,1パワーダウン設定 0: Power ON 1: Power OFF	
	1	PDCH1	0		
	2	PDTN	1	RING TONEGENパワーダウン設定 0: Power ON 1: Power OFF	
	3	PD	0	全パワーダウン設定 0: Power ON 1: Power OFF	
	4	MTDX0	0	ミュート: VR0.VR1,DX端子	
	5	MTDX1	0	0: 信号出力 1: MUTE	
	6	-	0		
	7	-	0		
101	0	PCMIF	0	PCMインタフェース選択 0: LF/SF 1: GCI	
	1	SEL2B	0	PCM出力チャンネル選択 0: CH0→B1 1: CH1→B1	
	2	ALAWN	1	A/u-law選択 0: A-law 1: μ -law	
	3	TNFQ	0	RING TONE周波数選択 0: 16Hz 1: 20Hz	
	4	TST0	0	テストモード 常に"0"を設定して下さい。	
	5	TST1	0		
	6	TST2	0		
	7	TST3	0		
110	0		0	Reserved	
	1		0		
	2		0		
	3		0		
	4		0		
	5		0		
	6		0		
	7		0		
111	0		0	Reserved	
	1		0		
	2		0		
	3		0		
	4		0		
	5		0		
	6		0		
	7		0		

絶対最大定格

パラメータ	記号	min	max	単位
電源電圧 アナログ/デジタル電源	VDD	-0.3	6.5	V
VSS電圧	VSS	-0.1	0.1	V
デジタル端子印加電圧	VTD	-0.3	VDD+0.3	V
アナログ端子印加電圧	VTA	-0.3	VDD+0.3	V
入力電流 (電源ピンを除く)	IIN	-10	10	mA
保存温度	Tstg	-55	125	°C

注) この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

パラメータ	記号	min	typ	max	単位
電源電圧 アナログ/デジタル電源 (AK2306)	VDD	4.75	5.0	5.25	V
電源電圧 アナログ/デジタル電源 (AK2306LV)	VDD	3.0	3.3	3.6	V
動作温度範囲	Ta	-40		85	°C
フレームシンク周波数	FS		8		kHz

注) 電圧は全て接地端子基準 : VSS=0V

電気的特性

特記のない限り、規格値はVDD = +5V±5%、+3.3V±0.3V、Ta = -40~+85°C、FS=8 kHzにおいて保証されます。

■ DC特性

項目	記号	条件	min	typ	Max	単位
消費電力 (BCLK 2048kHz時)	PDD1(AK2306)	PDCH0,1=0,0		65		mW
	PDD1(AK2306LV)	出力端子はすべて無負荷		35		
デジタル高レベル 出力電圧(CMOS/TTL)*	VOH	IOH=-1.6mA	0.8VDD			V
デジタル低レベル 出力電圧(CMOS/TTL)*	VOL	IOL=1.6mA			0.4	V
デジタル高レベル 入力電圧 *	VIH (TTLレベル)		2.4			V
	VIH (CMOSレベル)		0.7VDD			
デジタル低レベル 入力電圧 *	VIL (TTLレベル)				0.8	V
	VIL (CMOSレベル)				0.3VDD	
入力漏洩電流	Ii		-10		+10	μA
入力容量	Ci				5	pF
出力漏洩電流	Io	トライステート時	-10		+10	uA
パワーダウン時消費電力	PDDd		-	2.5	-	mW

* AK2306はTTL level Interface/ AK2306LVは CMOS level Interface

◆CODEC

仕様条件

電源電圧 ; AK2306 : VDD 5.0V±5%, AK2306LV : VDD 3.3V±0.3V

内部ゲイン ; 0dB設定時

■絶対ゲイン特性

項目	測定条件		min	typ	max	単位
アナログ入力レベル	0dBm0@1020Hz 入力	AK2306		0.849		Vrms
		AK2306LV		0.531		Vrms
絶対入力ゲイン			-0.6	—	0.6	dB
アナログ出力レベル	0dBm0@1020Hz 入力	AK2306		0.849		Vrms
		AK2306LV		0.531		Vrms
絶対出力ゲイン			-0.6	—	0.6	dB
最大入出力レベル	3.14dBm0相当値 (内部ゲイン0dB設定時)	AK2306		1.219		Vrms
		AK2306LV		0.762		Vrms

■伝送レベル特性

項目	測定条件		min	typ	max	単位
送信伝送レベル特性 (A→D)	基準レベル: -10dBm0 1020Hz Tone	-55dBm0~-50dBm0	-1.2	—	1.2	dB
		-50dBm0~-40dBm0	-0.4	—	0.4	
		-40dBm0~ 3dBm0	-0.2	—	0.2	
受信伝送レベル特性 (D→A)	基準レベル: -10dBm0 1020Hz Tone	-55dBm0~-50dBm0	-1.2	—	1.2	dB
		-50dBm0~-40dBm0	-0.4	—	0.4	
		-40dBm0~ 3dBm0	-0.2	—	0.2	

■伝送損失周波数特性

項目	測定条件		min	typ	max	単位
伝送損失周波数特性 (A→D)	基準: 0dBm0@1020Hz	0.05kHz	—	—	-30	dB
		0.06kHz	—	—	-26	
		0.2kHz	-1.8	—	0	
		0.3~3.0kHz	-0.15	—	0.15	
		3.4kHz	-0.8	—	0	
		4.0kHz	—	—	-14	
伝送損失周波数特性 (D→A)	基準: 0dBm0@1020Hz	0~3.0kHz	-0.15	—	0.15	dB
		3.4kHz	-0.8	—	0	
		4.0kHz	—	—	-14	

■歪み特性

項目	測定条件		min	typ	max	単位
信号対総合電力歪比 (A→D)	1020Hz Tone	-40dBm0~-45dBm0	25	—	—	dB
		-30dBm0~-40dBm0	30	—	—	
		0dBm0~-30dBm0	36	—	—	
信号対総合電力歪比 (D→A)	1020Hz Tone	-40dBm0~-45dBm0	25	—	—	dB
		-30dBm0~-40dBm0	30	—	—	
		0dBm0~-30dBm0	36	—	—	
送信単一周波歪み比			—	—	-46	dB
受信単一周波歪み比			—	—	-46	dB
相互変調歪み	-6dBm@860Hz,1380Hz		—	—	-42	dB

注) μ -Law時はC-message,A-Law時はPsophometricフィルタ使用。

■遅延歪み特性

項目	測定条件	min	typ	max	単位
送信絶対遅延特性	f = 1600Hz	—	—	560	μs
送信遅延歪み周波数特性 (A→D) f = 1600Hz基準	f = 500Hz~600Hz	—	—	220	μs
	f = 600Hz~1000Hz	—	—	145	
	f = 1000Hz~2600Hz	—	—	75	
	f = 2600Hz~2800Hz	—	—	105	
	f = 2800Hz~3000Hz	—	—	155	
受信絶対遅延特性	f = 1600Hz			450	μs
受信遅延歪み周波数特性 (D→A) f = 1600Hz基準	f = 500Hz~1000Hz	-40	—	—	μs
	f = 1000Hz~1600Hz	-30	—	—	
	f = 1600Hz~2600Hz	—	—	90	
	f = 2600Hz~2800Hz	—	—	125	
	f = 2800Hz~3000Hz	—	—	175	

■ノイズ特性

項目	測定条件	min	typ	max	単位	
無通話時雑音 A→D (注1)	μ-law, C-message	—	5	10	dBrnC0	
	A-law, Psophometric	—	-85	-80	dBm0p	
無通話時雑音 D→A (注2)	μ-law, C-message	—	5	10	dBrnC0	
	A-law, Psophometric	—	-85	-80	dBm0p	
単一周波数雑音	GSTx= 0 Vrms, DR = DX f=0~100kHz	—	—	-53	dBm0	
電源雑音除去比 Transmit	変調レベル: VDD=5.0V/±100mVop(AK2306), VDD=3.3V/±66mVop(AK2306LV), f=0~10kHz	40	—	—	dB	
電源雑音除去比 Receive	変調レベル:同上	40	—	—	dB	
帯域外スプリアス (注3)	0dBm0, 0.3~3.4kHz PCM CODE入力	4.6~7.6kHz	—	—	-30	dB
		7.6~8.4kHz	—	—	-40	
		8.4~100kHz	—	—	-32	

注1) アナログ入力 = アナロググランドレベル。

注2) デジタル入力 (DR) = +0 CODE

注3) 設計保証値。

■チャンネル間漏話

項目	測定条件	min	typ	max	単位
送信側→受信側	0dBm0@GSTx, Idle PCM code	—	—	-75	dB
受信側→送信側	0dBm0 code level, GSTx = 0 Vrms	—	—	-75	dB
送信側→送信側	0dBm0@GSTx, GSTx = 0 Vrms	—	—	-75	dB
受信側→受信側	0dBm0 code level, Idle PCM code	—	—	-75	dB

■同一チャンネル内漏話

項目	測定条件	min	typ	max	単位
送信側→受信側	0dBm0@GSTx, Idle PCM code	—	—	-75	dB
受信側→送信側	0dBm0 code level, GSTx = 0 Vrms	—	—	-75	dB

■送信オペアンプ特性

項目	測定条件	min	typ	max	単位
出力負荷抵抗		10	—	—	kΩ
出力負荷容量		—	—	50	pF
出力振幅	VDD=5V	—	3.6	—	Vp-p
	VDD=3.3V		2.25		

■受信信号出力特性 (AK2306 : VDD 5.0V±5%, AK2306LV : VDD 3.3V±0.3V)

項目	測定条件	min	typ	max	単位	
出力電圧(AGNDレベル)	PCM ゼロ code入力時	AK2306	—	2.4	—	V
		AK2306LV	—	1.5	—	
出力負荷抵抗		10			kΩ	
出力負荷容量				50	pF	
最大出力振幅	AK2306	—	3.6	—	Vp-p	
	AK2306LV	—	2.25	—		

■受信オペアンプ特性

項目	測定条件	min	typ	max	単位
出力負荷抵抗		10	—	—	kΩ
出力負荷容量		—	—	50	pF
最大出力振幅	AK2306	—	3.6	—	Vp-p
	AK2306LV	—	2.25	—	

◆ボリューム

■出力特性

項目	測定端子	測定条件	Min	typ	max	単位
ステップ誤差		0dB設定時を基準とする。	-1	-	+1(*1)	dB

(*1)かつ単調性保証

◆RING TONE GENERATOR

■送信出力特性

項目	測定条件	Min	typ	max	単位
送信信号周波数 16Hz/20Hz		-5%	16/20	+5%	Hz
Tone出力Duty		49	50	51	%(*1)

(*1)FS信号が無シッター時

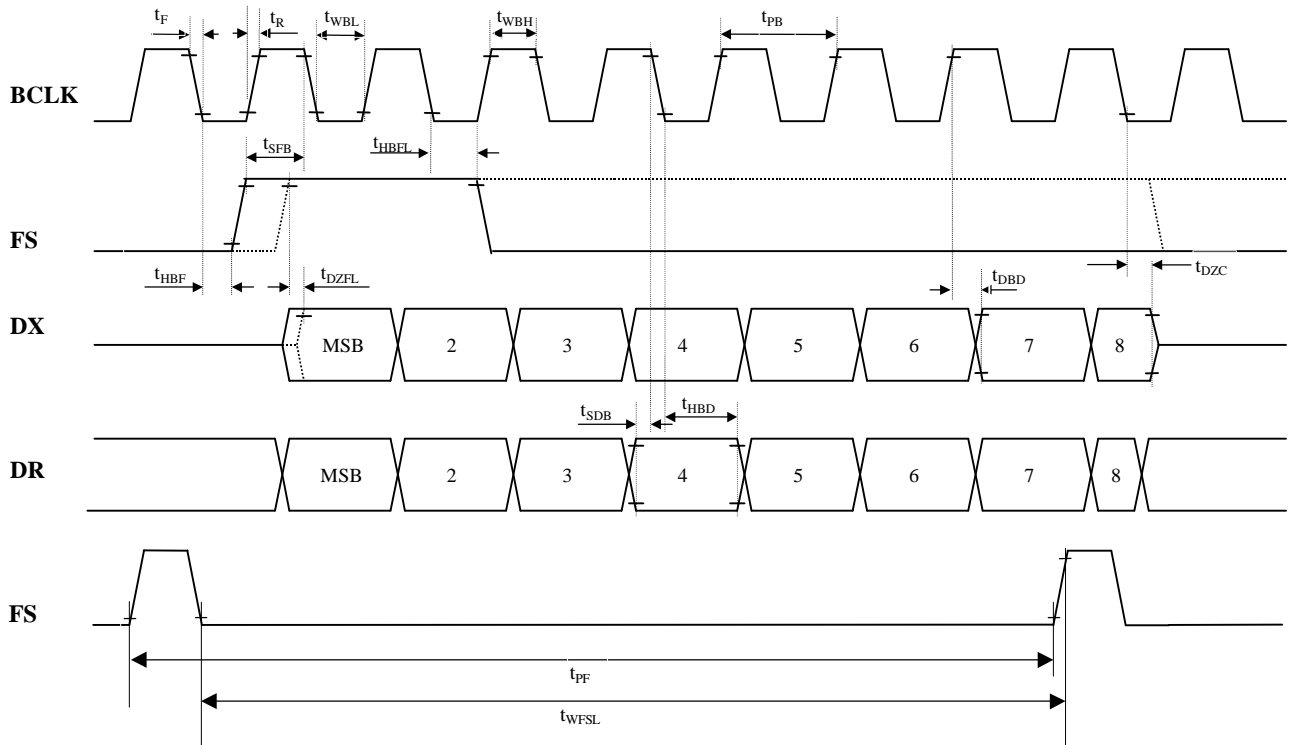
◆PCMインタフェース (Long Frame, Short Frame, GCI)

特記なき場合、Ta=-40 to +85°C, VDD = 5V±5%, 3.3V±0.3V, VSS = 0V and FS 8kHzにおいての定義となります。すべてのタイミングパラメータはVOH = 0.8VDD及びVOL = 0.4Vにて測定されます。

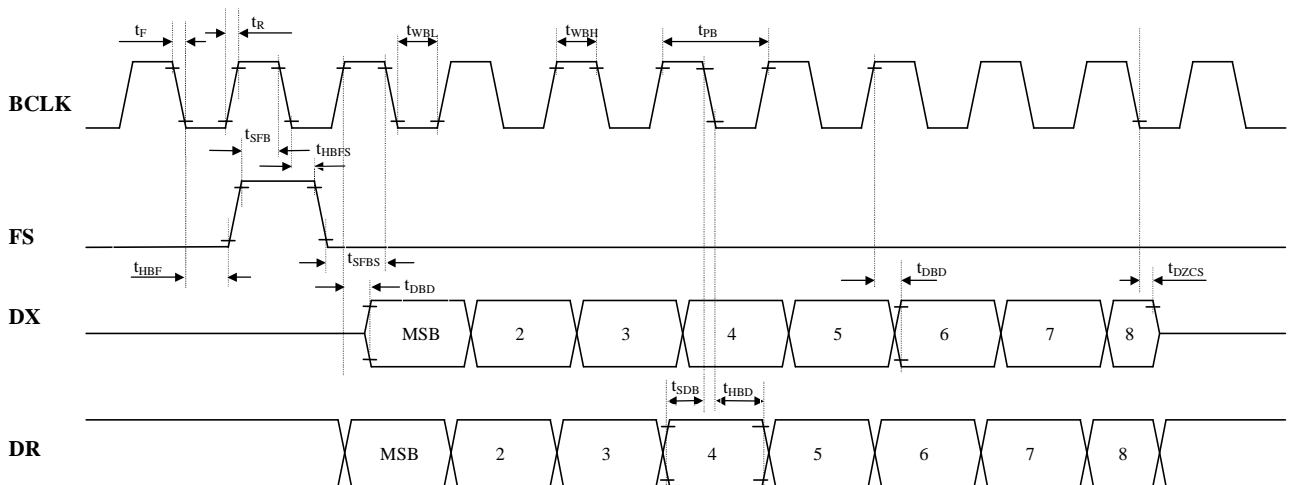
■AC特性

パラメータ	記号	Min	Typ	Max	単位	参照図
FS Frequency	1/t _{PF}	—	8	—	kHz	図 1 図 2 図 3
BCLK Frequency	1/t _{PB}	128		4096	kHz	
BCLK Pulse Width High	t _{WBH}	80			ns	
BCLK Pulse Width Low	t _{WBL}	80			ns	
Rising Time: (BCLK,FS,DX,DR)	t _R			40	ns	
Falling Time: (BCLK,FS,DX,DR)	t _F			40	ns	
Hold Time: BCLK Low to FS High	t _{HBF}	40			ns	
Setup Time: FS High to BCLK Low	t _{SFB}	70			ns	
Setup Time: DR to BCLK Low	t _{SDB}	40			ns	
Hold Time: BCLK Low to DR	t _{HBD}	40			ns	
Delay Time: BCLK High to DX valid 注1)	t _{DBD}			60	ns	
Long Frame						
Hold Time: 2 nd period of BCLK Low to FS Low	t _{HBFL}	40			ns	図 1
Delay Time: FS or BCLK High, whichever is later,to DX valid 注1)	t _{DZFL}			60	ns	
Delay Time: BCLK Low to DX High-Z 注1)	t _{DZCL}	10		60	ns	
FS Pulse Width Low	t _{WFSL}	1			BCLK	
Short Frame						
Hold Time: BCLK Low to FS Low	t _{HBFS}	40			ns	図 2
Setup Time: FS Low to BCLK Low	t _{SFBS}	40			ns	
Delay Time: BCLK Low to DX High-Z 注1)	t _{DZCS}	10		60	ns	
GCI						
BCLK Frequency	1/t _{PBG}	512		4096	kHz	図 3
Delay Time: Second BCLK Low to DX High-Z	t _{DZCG}	10		60	ns	
Setup Time: DR to Second BCLK High	t _{SDBG}	40			ns	
Hold Time: Second BCLK High to DR	t _{HBDG}	40			ns	

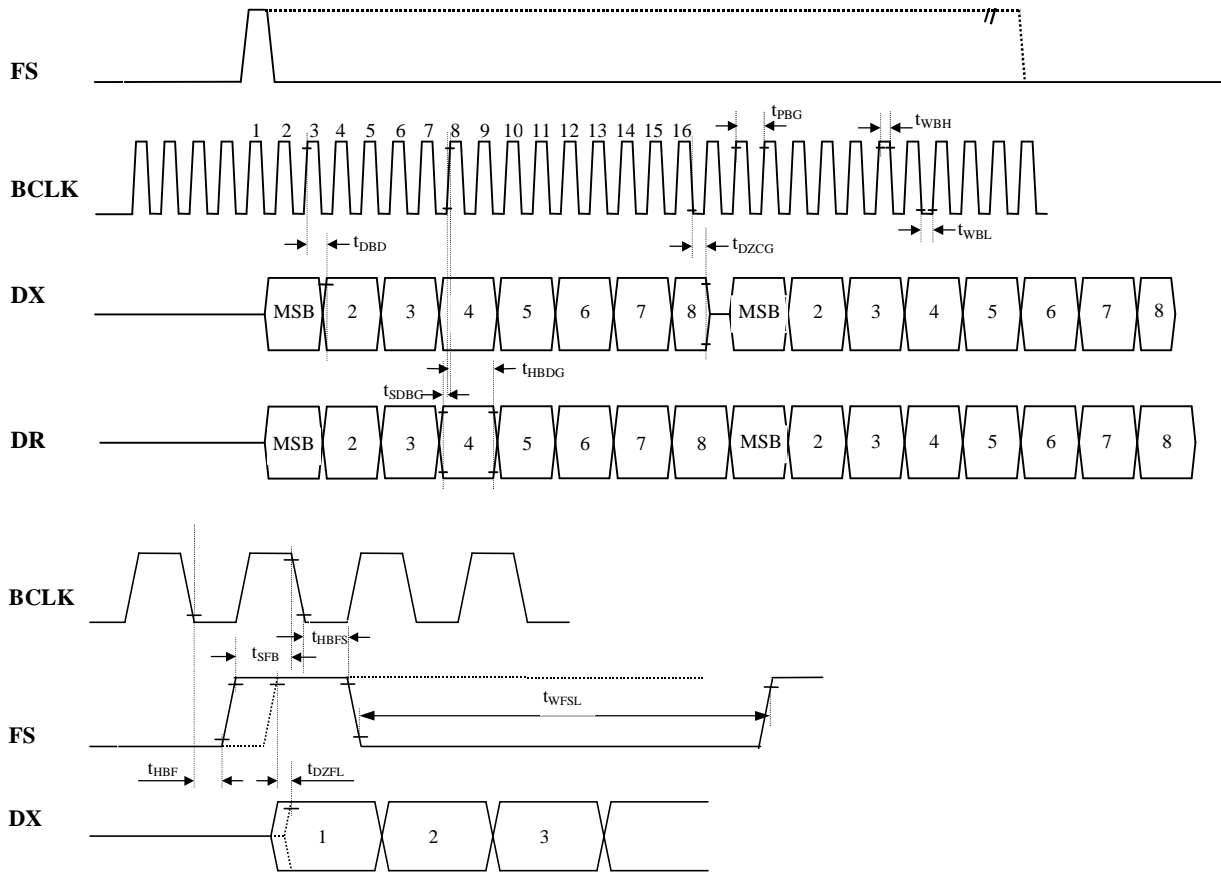
注 1) 15pFの負荷容量及び2つのLSTTL駆動時。



☒ 1 PCM Interface Timing < Long Frame >



☒ 2 PCM Interface Timing < Short Frame >

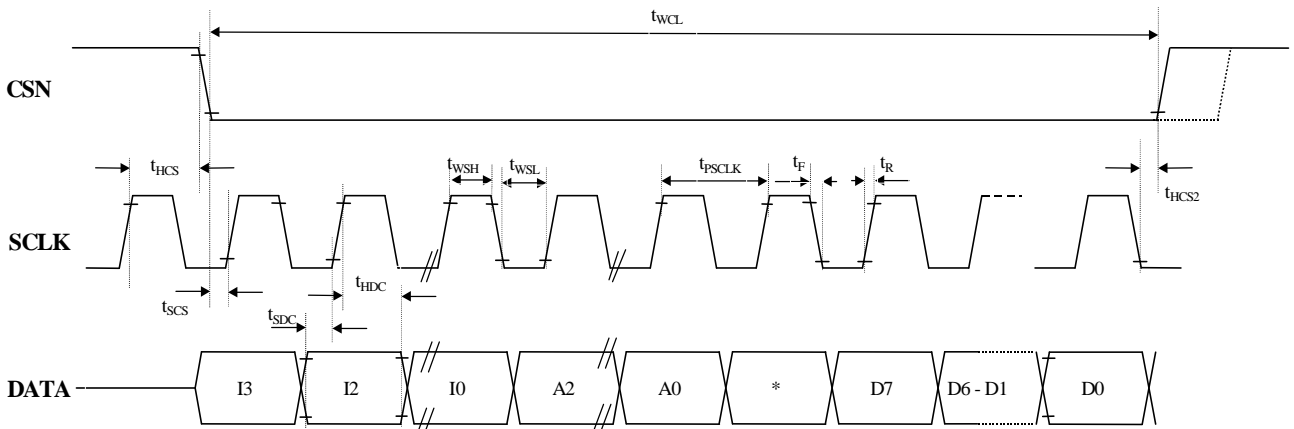


☒ 3 PCM Interface Timing < GCI >

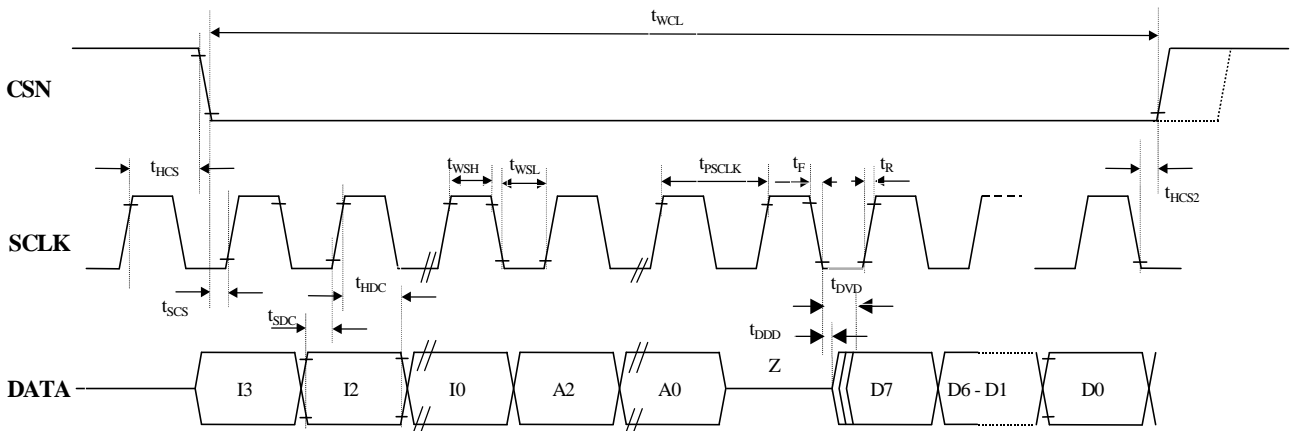
◆シリアルインタフェース

■AC characteristics

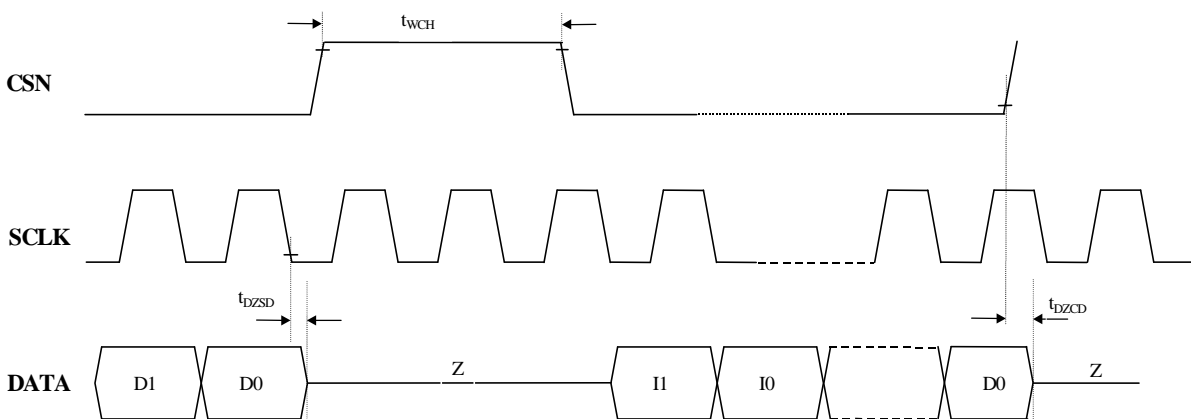
パラメータ	記号	Min	Typ	Max	単位	参照図
SCLK Frequency	$1/t_{PSCLK}$			4	MHz	図 4
SCLK Pulse Width High	t_{WSH}	40			ns	
SCLK Pulse Width Low	t_{WSL}	40			ns	
CSN Pulse Width Low	t_{WCL}	16			SCLK	
Hold Time: SCLK High to CSN Low	t_{HCS}	80			ns	
Setup Time: CSN Low to SCLK High	t_{SCS}	40			ns	
Rising Time: CSN,SCLK	t_R			100	ns	
Falling Time: CSN,SCLK	t_F			100	ns	
WRITE						
Setup Time: DATA to SCLK High	t_{SDC}	40			ns	図 4
Hold Time: SCLK High to DATA	t_{HDC}	40			ns	
Hold Time: SCLK Low to CSN High	t_{HCS2}	0			ns	
READ						
Delay Time: SCLK Low to DATA pin drive	t_{DDD}	0			ns	図 5
Delay Time: SCLK Low to DATA valid	t_{DVD}			60	ns	
Delay Time: SCLK Low to DATA High-Z	t_{DZSD}	0		60	ns	図 6
Delay Time: CSN High to DATA High-Z	t_{DZCD}	0		60	ns	
CSN Pulse Width High	t_{WCH}	40			ns	



☒ 4 Serial Interface Timing < WRITE >



☒ 5 Serial Interface Timing < READ >



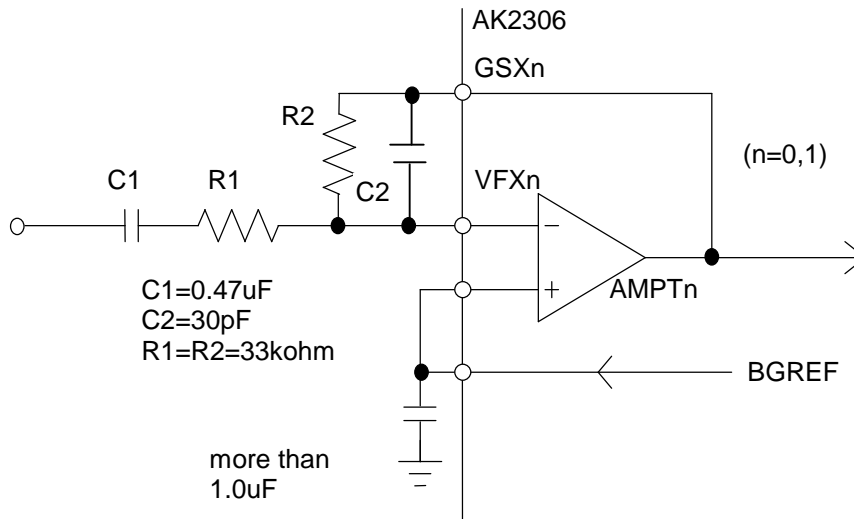
☒ 6 Serial Interface Timing < READ >

推奨外部回路例

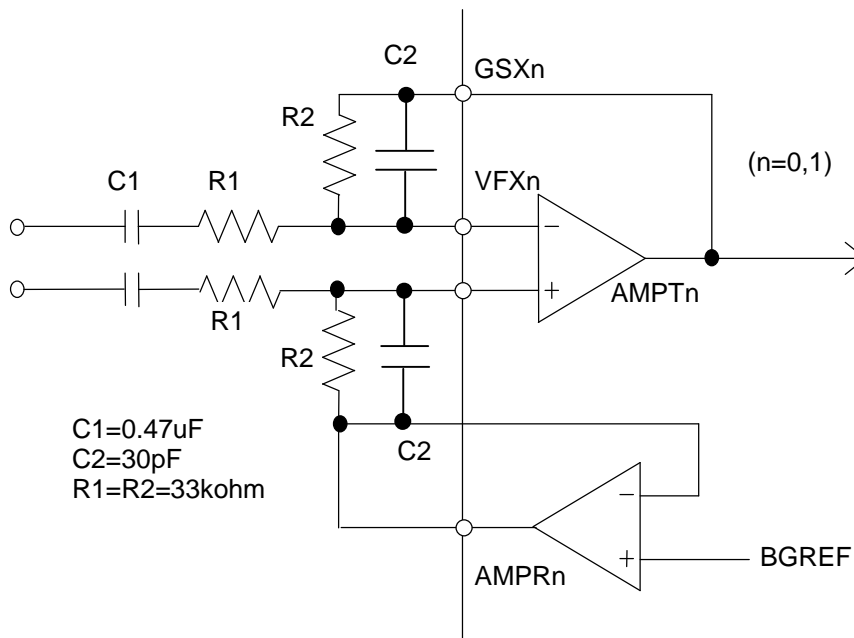
◎アナログ信号入力回路 (AMPT0,1)

AK2306のアナログ信号入力部には各チャンネル毎に、システムの0dB（伝送レベル0レベルポイント）のゲイン調整用のアンプが入っています。このアンプは、内部のVREF電圧を基準として動作する反転アンプとして使用できます。ただし、帰還抵抗10kΩ以上で使用して下さい。また同じアンプで下図の様に差動入力アンプを構成することも出来ます。

■シングルエンド入力



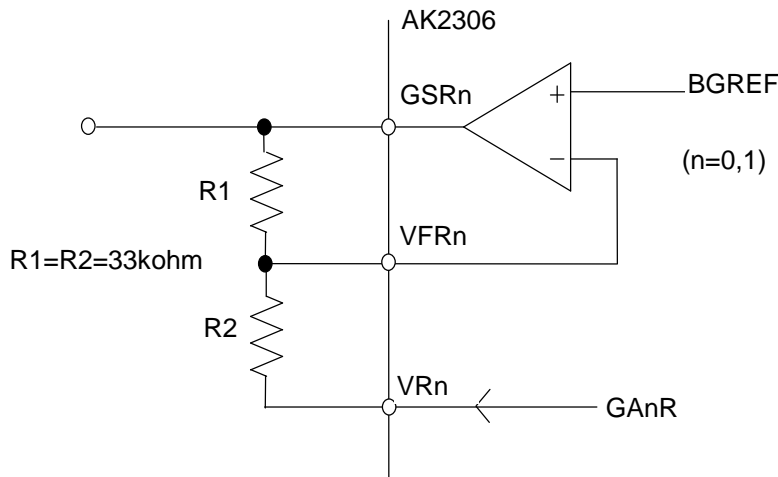
■差動入力



！注意 差動入力時は、チャンネル間クロストークを避ける為、上記の様にAMPRn(n=0,1)をVREFのバッファとして使用して下さい。AMPT0側VREF → AMPR0、AMPT1側VREF → AMPR1となります。

◎アナログ信号出力回路(AMPR0,1)

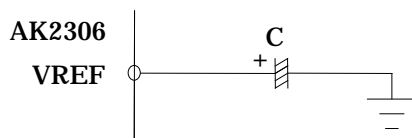
AK2306のアナログ信号出力部には各チャンネル毎に、システムの0dB（伝送レベル0レベルポイント）のゲイン調整用のアンプが入っています。このアンプは、内部のVREF電圧を基準として動作する反転アンプとして使用できます。ただし、帰還抵抗10kΩ以上で使用して下さい。



！注意 AMPT0,1を差動アンプとして構成する場合、AMPR0,1は差動アンプのアナログGND用のバッファとして使われ、出力ゲイン調整は出来ません。

◎基準電圧安定回路

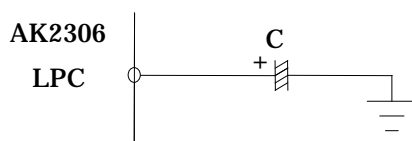
基準電圧(VREF)安定化のため、VSSとの間に1.0μF以上のコンデンサを接続して下さい。基板実装時には、外来ノイズの影響を受け難くするため、極力AK2306の近くに配置して下さい。



！注意 VREF端子には、シングルエンド入力モード時のVFTN0/1端子以外は外部で接続しないで下さい。

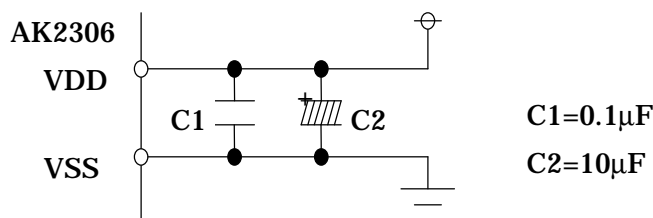
◎PLL外付容量

PLL安定化のため、VSSとの間に0.22μF以上のコンデンサを接続して下さい。



◎電源回路

電源はVDDとVSS間にコンデンサを接続して下さい。



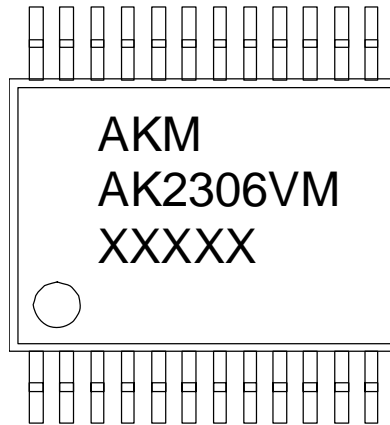
パッケージ

24ピンSSOP

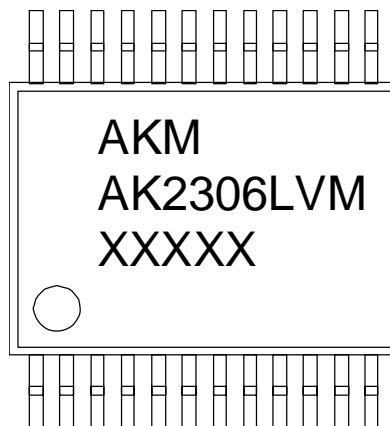
マーキング

XXXXX: Date Code Identifier

AK2306

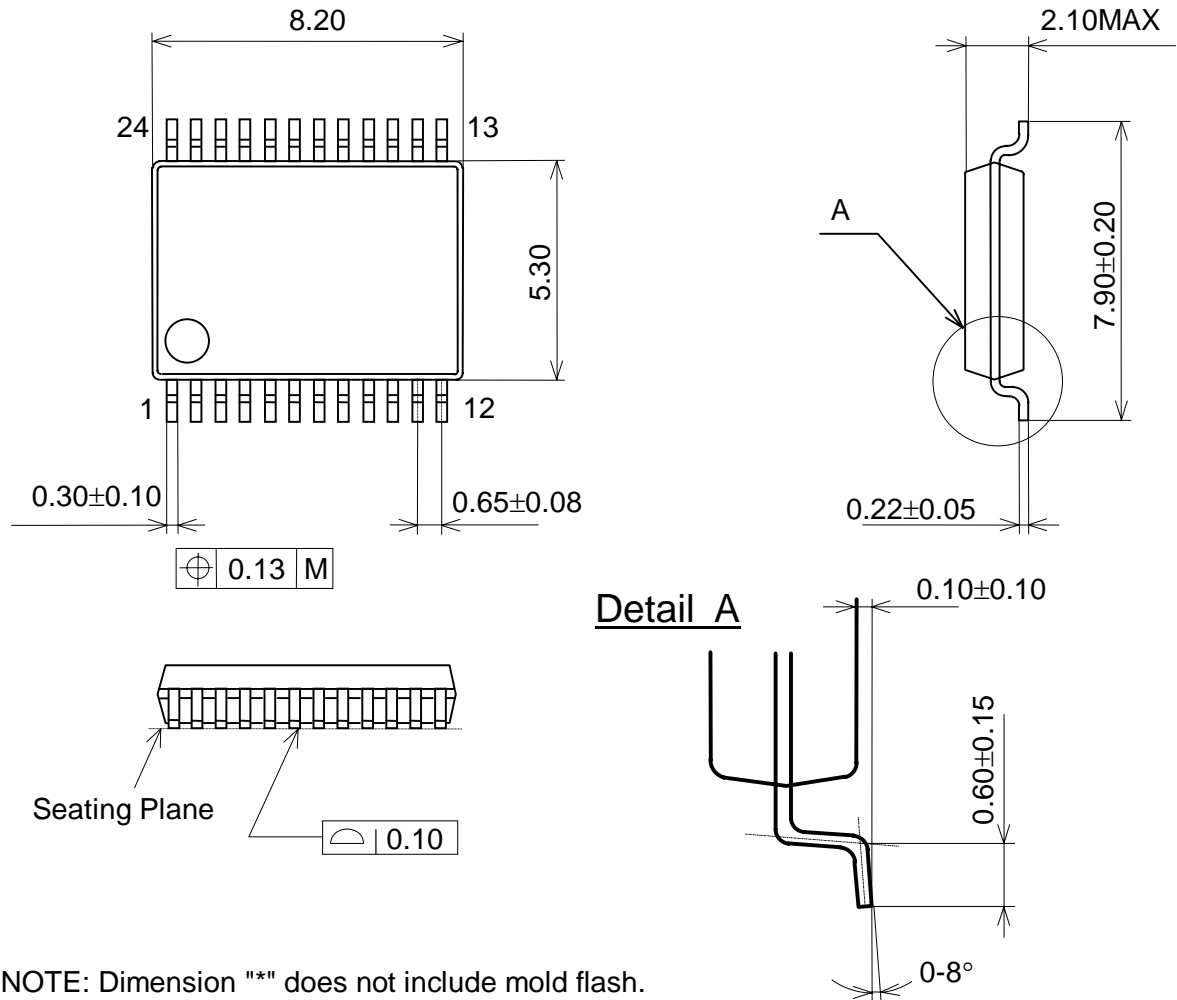


AK2306L



パッケージ外形寸法

24pin SSOP (Unit: mm)



NOTE: Dimension "*" does not include mold flash.

改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
11/10/20	05	仕様変更	1, 34, 35	パッケージ変更: (24pin VSOP) → (24pin SSOP) マーキング図を変更 パッケージ外形寸法図を変更
12/01/25	06	誤記訂正	34	パッケージ マーキング図を変更

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。